

2/5/1

DIALOG(R) File 351:Derwent WPI  
(c) 2005 Thomson Derwent. All rts. reserv.

012486560     \*\*Image available\*\*  
WPI Acc No: 1999-292668/ 199925  
XRPX Acc No: N99-219250

**Configuration procedure for programmable gate array - involves selecting  
at least one program from programs stored in memory, to enable program  
loading to programmable gate array**

Patent Assignee: FUJITSU LTD (FUJIT ); FUJITSU SHUHENKI KK (FUJI-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11095994	A	19990409	JP 97253039	A	19970918	199925 B

Priority Applications (No Type Date): JP 97253039 A 19970918

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11095994	A	6	G06F-009/06	

Abstract (Basic): JP 11095994 A

NOVELTY - In order to perform configuration of a programmable gate array (11), at least one program from programs (PR1,PR2) stored in a memory (12) is selected, to enable program loading to the programmable gate array. DETAILED DESCRIPTION - The method involves storing programs (PR1,PR2) for setting different input-output characteristics, in a memory (12). The programs correspond to the environment in which a programmable gate array is mounted. An INDEPENDENT CLAIM is also included for a programmable gate array apparatus.

USE - For programmable gate array.

ADVANTAGE - Stabilizes operation of programmable gate array and improves reliability of one layer by selecting one program to be loaded to programmable gate array. Secures operation of programmable gate array. Judges synthetically optimum input-output characteristics.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of a programmable gate array apparatus. (11) Programmable gate array; (12) Memory; (PR1,PR2) Programs.

Dwg.1/4

Title Terms: CONFIGURATION; PROCEDURE; PROGRAM; GATE; ARRAY; SELECT; ONE;  
PROGRAM; PROGRAM; STORAGE; MEMORY; ENABLE; PROGRAM; LOAD; PROGRAM; GATE;  
ARRAY

Derwent Class: T01; U21

International Patent Class (Main): G06F-009/06

International Patent Class (Additional): H03K-019/173; H03K-019/177

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-218781

(43) 公開日 平成9年(1997)8月19日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/06	5 4 0		G 0 6 F 9/06	5 4 0 F
13/00	3 5 1		13/00	3 5 1 H

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-25458

(22) 出願日 平成8年(1996)2月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 越智 則員

東京都港区芝五丁目7番1号 日本電気株式会社内

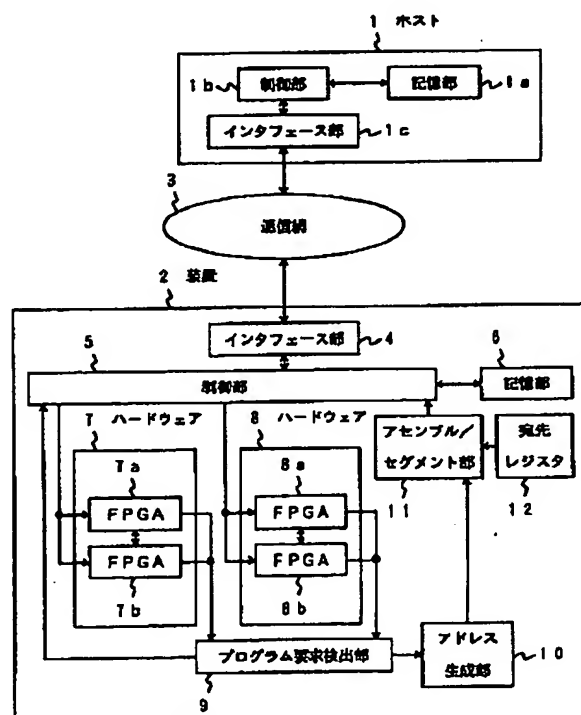
(74) 代理人 弁理士 鈴木 弘男

(54) 【発明の名称】 遠隔保守システム

(57) 【要約】

【課題】 F P G A の内部回路プログラムデータの保守管理を一括して行うことができ、フィールドで F P G A の内部回路プログラムの書き換えを容易に行うことができる遠隔保守システムを提供すること。

【解決手段】 F P G A 7 a、7 b、8 a、8 b を有する装置 2 と遠隔地にあるホスト 1 とを通信網 3 を介して接続し、装置 2 は、F P G A 7 a、7 b、8 a、8 b の内部回路をプログラミングしたい場合にプログラム要求をホスト 1 に対して送信し、ホスト 1 は、F P G A 7 a、7 b、8 a、8 b の内部回路プログラムデータを有し、装置 2 からのプログラム要求に応じて内部回路プログラムデータを装置 2 に対して送信し、装置 2 は、ホスト 1 から受信した内部回路プログラムデータに基づいて F P G A 7 a、7 b、8 a、8 b をプログラミングする。



## 【特許請求の範囲】

【請求項1】 F P G Aを有する装置と遠隔地にあるホストとを通信網を介して接続し、

前記装置は、前記F P G Aの内部回路をプログラミングしたい場合にプログラム要求を前記ホストに対して送信し、

前記ホストは、前記F P G Aの内部回路プログラムデータを有し、前記装置からのプログラム要求に応じて前記内部回路プログラムデータを前記装置に対して送信し、前記装置は、前記ホストから受信した内部回路プログラムデータに基づいて前記F P G Aをプログラミングすることを特徴とする遠隔保守システム。

【請求項2】 F P G Aを有する装置との通信を行う通信手段と、前記F P G Aの内部回路プログラムデータを記憶する記憶手段と、前記装置からの要求に応じて前記記憶手段に記憶された内部回路プログラムデータを前記装置に対して送信する送信手段とを備えたことを特徴とする遠隔保守システム用ホスト。

【請求項3】 ホストとの通信を行う通信手段と、F P G Aと、該F P G Aの内部回路をプログラミングしたい場合にプログラム要求を前記ホストに対して送信する送信手段と、前記ホストから受信した内部回路プログラムデータに基づいて前記F P G Aをプログラミングするプログラミング手段とを備えたことを特徴とする遠隔保守システム用装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は遠隔保守システムに関し、詳しくはフィールドプログラマブルゲートアレイ(FIELD PROGRAMMABLE GATE ARRAY、以下「FPGA」という)に対して遠隔地からプログラミング等の保守を行う遠隔保守システムに関する。

## 【0002】

【従来の技術】FPGAはLSIの一種であり、利用者自身が利用現場(フィールド)で自由に内部回路を変更(プログラム)することができるゲートアレイである。

【0003】従来、FPGAへのプログラミングは、FPGAが搭載されたプリント板にROMを搭載し、このROMに予めFPGAのプログラムを書き込んでおくことによって行うか、または、FPGAの内部ROMに専用のROMライターを用いてFPGAのプログラムを書き込むことによって行っていた。

【0004】すなわち、従来は、FPGAを搭載した装置の動作シーケンスを考慮しながら、利用者がROMへの書き込みをフィールドで人手によって行っていた。

## 【0005】

【発明が解決しようとする課題】第1の問題点は、従来は、FPGAを搭載したプリント板ごとにFPGAの内部回路プログラムデータをフィールドで書き直していた

ために保守性が悪かった点である。その理由は、ネットワークとのインタフェース制御機能とデータベースがないことである。

【0006】第2の問題点は、従来技術では操作性が悪いかあるいは冗長な装置が搭載されることである。その理由は、ROMを取り外すかあるいはROMライターに相当する回路を搭載しなければならなかったことによる。

【0007】本発明は上記の点にかんがみてなされたもので、FPGAの内部回路プログラムデータの保守管理を一括して行うことができ、フィールドでFPGAの内部回路プログラムの書き換えを容易に行うことができる遠隔保守システムを提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明は上記の目的を達成するために、FPGAを有する装置と遠隔地にあるホストとを通信網を介して接続し、前記装置は、前記FPGAの内部回路をプログラミングしたい場合にプログラム要求を前記ホストに対して送信し、前記ホストは、前記FPGAの内部回路プログラムデータを有し、前記装置からのプログラム要求に応じて前記内部回路プログラムデータを前記装置に対して送信し、前記装置は、前記ホストから受信した内部回路プログラムデータに基づいて前記FPGAをプログラミングするようにした。

## 【0009】

【発明の実施の形態】以下本発明を図面に基づいて説明する。

【0010】図1は本発明による遠隔保守システムの一実施の形態のブロック図である。

【0011】ワークステーションやパーソナルコンピュータ等のホスト1は記憶部1aと制御部1bとインタフェース部1cとを有し、記憶部1aには装置2のネットワークアドレスと、装置2内のFPGA7a、7b、8a、8bを搭載したハードウェア7、8ごとのアドレスと、FPGA7a、7b、8a、8bの内部回路プログラムデータとがデータベースとして記憶される。また、このホスト1と装置2とは通信網3を介して接続される。

【0012】制御部1bは、通信網3およびインタフェース部1cを介して、装置2から後に説明するプログラム転送要求データを受け取った場合、ハードウェア7、8のうち受け取ったプログラム転送要求データに組み込まれたアドレスが示すハードウェアの内部回路プログラムデータを記憶部1aから読出す。制御部1bは読出した内部回路プログラムデータに装置2のネットワークアドレスを組み込み、インタフェース部1c通信網3を介して、装置2に対して送信する。

【0013】装置2は複数のFPGAを搭載したハードウェアを単数あるいは複数有しており、記憶部1a内のデータベースに記憶されたアドレスがそれぞれに割り振

られている。図1に示した実施の形態では、装置2はFPGA7aおよび7bを搭載したハードウェア7とFPGA8aおよび8bを搭載したハードウェア8とを有している。

【0014】FPGA7a、7b、8a、8bには、通常動作モードとプログラミングモードとがあり、制御部5からの通常動作モード信号、プログラミングモード信号によってモードの切り換えが行われる。通常動作モードはプログラミングされた内部回路に基づいた動作をするモードであり、プログラミングモードは外部からの内部回路プログラムデータを受けてそれに基づいて内部回路を変更するモードである。

【0015】ハードウェア7、8からはプログラムを要求するときにアクティブ（それ以外はインアクティブ）になるプログラム要求信号が出力され、このプログラム要求信号はプログラム要求検出部9に入力される。プログラム要求検出部9は、プログラム要求信号がアクティブになったときに、ハードウェア7、8のどちらからのプログラム要求信号がアクティブになったかを制御部5およびアドレス生成部10に通知する。

【0016】プログラム要求検出部9からの通知を受けた制御部5は、ハードウェア7、8のうちプログラム要求信号をアクティブにした方に対して、リセット信号を出力するとともに、プログラミングモード信号をアクティブにする。このとき、プログラム要求信号をアクティブにしたハードウェアに対する通常動作モード信号はインアクティブにしておく。これによって、プログラム要求信号をアクティブにしたハードウェアはプログラミングモードとなり、書き込まれる内部回路プログラムデータの待ち状態となる。

【0017】また、プログラム要求検出部9からの通知を受けたアドレス生成部10は、ハードウェア7、8のうちプログラム要求信号をアクティブにした方に割り振られたアドレスを生成し、アセンブル/セグメント部11に対して出力する。

【0018】ハードウェア7、8のうちプログラム要求信号をアクティブにした方のアドレスを受け取ったアセンブル/セグメント部11では、宛先レジスタ12に記憶されたホスト1のネットワークアドレスを取り出して所定のデータ形式にアセンブルすることによって、ホスト1のネットワークアドレスを組み込んだホスト1宛てのプログラム転送要求データを作成する。このとき、アセンブル/セグメント部11では、アドレス生成部10からのアドレスもプログラム転送要求データに組み込んで制御部5に渡す。

【0019】アセンブル/セグメント部11からプログラム転送要求データを受け取った制御部5では、インタフェース部4および通信網3を介して、このプログラム転送要求データをホスト1に対して送信する。

【0020】図2は、図1に示した本発明による遠隔保

守システムの一実施の形態の動作を説明するフローチャートである。

【0021】ここでは、ハードウェア7に搭載されたFPGA7a、7bの内部回路をプログラミングする場合について説明するが、ハードウェア8に搭載されたFPGA8a、8bの内部回路をプログラミングする場合も同様である。

【0022】FPGA7a、7b内部に内部回路プログラムがない場合やFPGA7a、7bを搭載したハードウェア7の動作が正常でない場合には（F-1）、ハードウェア7はプログラム要求信号をアクティブにする。これを検出したプログラム要求検出部9はこの旨を制御部5に通知する。プログラム要求検出部9からの通知を受けた制御部5は、ハードウェア7に対してリセット信号を出力し、異常ブロックのリセットを行う（F-2）とともに、プログラミングモード信号をアクティブにし、通常動作モード信号をインアクティブにしてFPGA7a、7bをプログラミングモードにする（F-3）。

【0023】上述したように、制御部5は、ハードウェア7のアドレスを組み込んだプログラム転送要求データをホスト1に対して送信する。その後、制御部5はホスト1からの受信データをモニタして（F-4）装置2宛ての受信データを取り込み（F-5）、その中からハードウェア7が搭載するFPGA7a、7bの内部回路プログラムデータを抽出し記憶部6に格納する（F-6）。

【0024】次に制御部5は、記憶部6に格納されたFPGA7a、7bの内部回路プログラムデータを読み出し（F-7）、FPGA7a、7bのプログラミングを行う（F-8）。プログラミングが完了したならば、制御部5は、ハードウェア7に対するリセットを解除するとともに、通常動作モード信号をアクティブにし、プログラミングモード信号をインアクティブにしてFPGA7a、7bを通常動作モードにする（F-9）。

【0025】

【発明の効果】以上説明したように、本発明はフィールドで人手によるFPGAへの内部回路プログラムデータのROM割り付けを必要としないため装置の操作性が向上し、汎用的なデータベースとの接続も可能となるため保守性が向上し、さらに汎用性を持つハードウェア構成による装置簡易化という効果を有する。

【0026】すなわち、従来手法では独自のROMライターに相当する制御回路を各FPGAが搭載されているプリント板ごとに用意しなければならないために回路規模が大きくなっていた。本発明よれば、各FPGAを搭載したハードウェアごとにアドレスを割りつけてFPGAへのプログラムシーケンス制御を行うため、汎用性があり、装置構成が簡易化される。

【0027】また、従来手法ではFPGAの内部回路プ

ログラムをROMに書込んでプリント板へ搭載していたためフィールドにて直接人手により行っていたため操作性が悪かった。本発明によれば、ネットワークによりデータベースとオンライン化することができるためフィールドにて人手で操作することなく、格段に操作性が向上する。

【0028】また、従来手法では人手でROMへの書込操作を行っていたためその装置の保守性は悪かった。本発明によればオンラインシステムであるためデータベース等でFPGAの内部回路プログラムデータを管理できるため、保守性は格段に向上する。

【図面の簡単な説明】

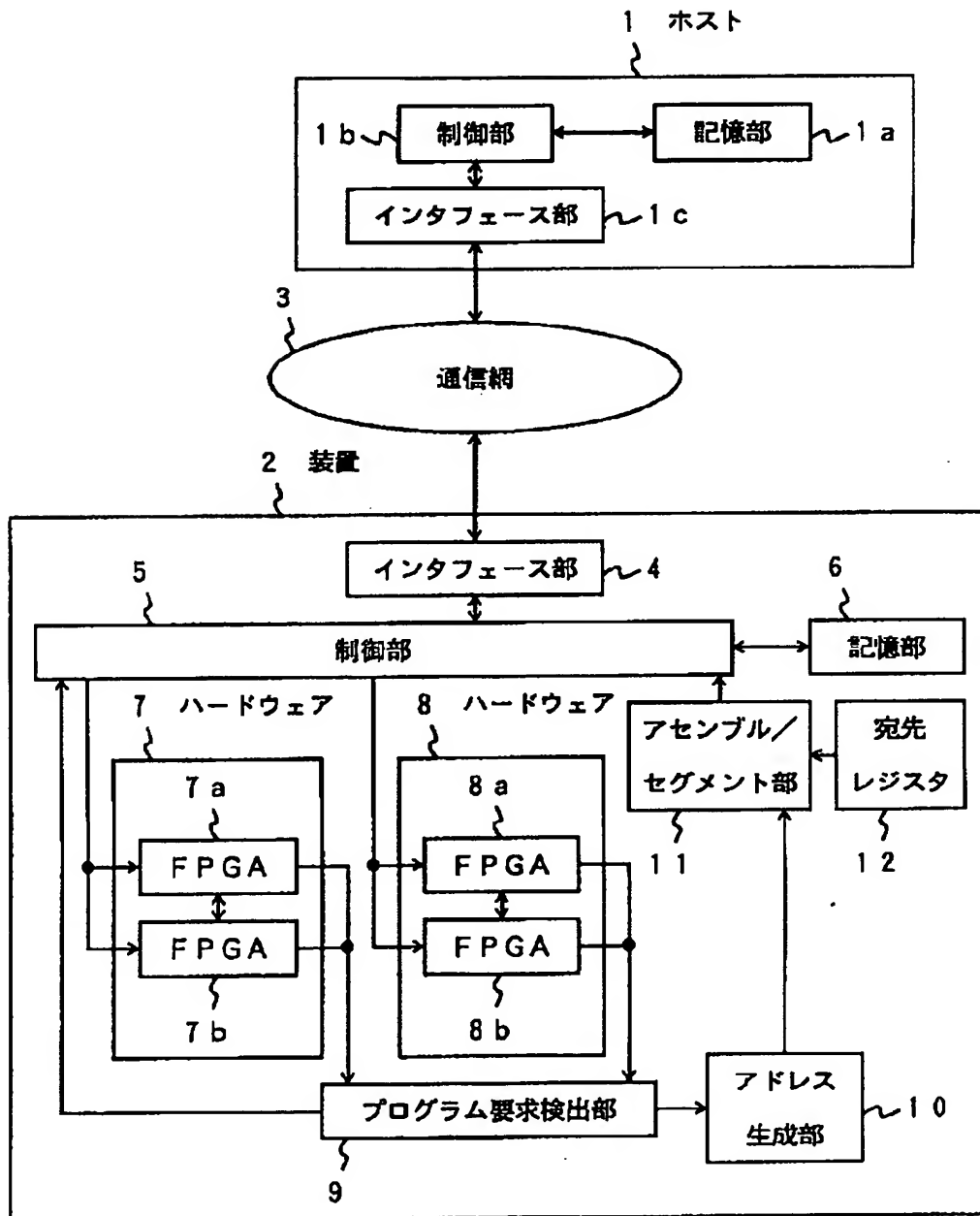
【図1】本発明による遠隔保守システムの一実施の形態のブロック図である。

【図2】図1に示した本発明による遠隔保守システムの一実施の形態の動作を説明するフローチャートである。

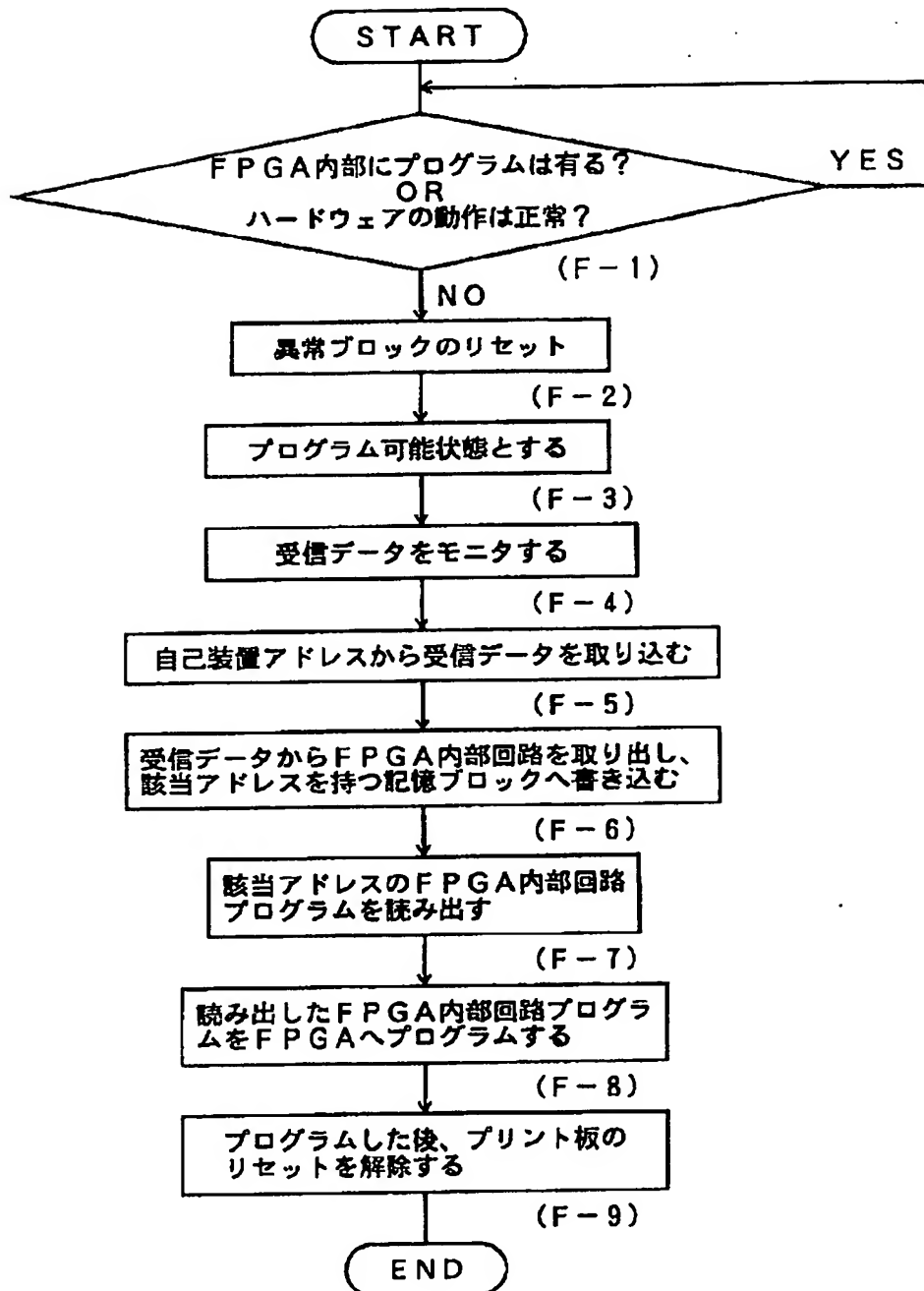
【符号の説明】

- 1    ホスト
- 1 a   記憶部
- 1 b   制御部
- 1 c   インタフェース部
- 2    装置
- 3    通信網
- 4    インタフェース部
- 5    制御部
- 6    記憶部
- 7、8   ハードウェア
- 7 a、7 b、8 a、8 b   FPGA
- 9    プログラム要求検出部
- 10   アドレス生成部
- 11   アセンブル／セグメント部
- 12   宛先レジスタ

【図1】



【図2】



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-95994

(43)公開日 平成11年(1999)4月9日

(51)Int.Cl.<sup>9</sup>  
G 0 6 F 9/06  
H 0 3 K 19/173  
19/177

識別記号  
5 4 0  
1 0 1

F I  
G 0 6 F 9/06  
H 0 3 K 19/173  
19/177

5 4 0 M  
1 0 1

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21)出願番号 特願平9-253039  
(22)出願日 平成9年(1997)9月18日

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(71)出願人 592019877  
富士通周辺機株式会社  
兵庫県加東郡社町佐保35番(番地なし)  
(72)発明者 臼井 文雄  
兵庫県加東郡社町佐保35番(番地なし)  
富士通周辺機株式会社内  
(74)代理人 弁理士 久保 幸雄

最終頁に続く

(54)【発明の名称】 プログラマブル・ゲートアレイのコンフィグレーション方法及びプログラマブル・ゲートアレイ装置

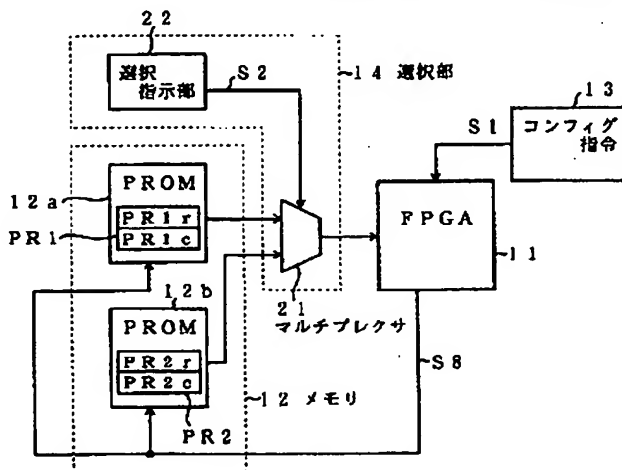
(57)【要約】

【課題】プログラマブル・ゲートアレイ装置における動作の安定性の向上を図り、信頼性の一層の向上を図ることを目的とする。

【解決手段】プログラマブル・ゲートアレイ11と、プログラマブル・ゲートアレイ11に論理及び入出力特性を設定するためのプログラムを格納した不揮発性のメモリ12とを備えたプログラマブル・ゲートアレイ装置1におけるプログラマブル・ゲートアレイのコンフィグレーション方法であって、メモリ12に、異なる入出力特性を設定するための複数のプログラムPR1, PR2を格納しておき、プログラマブル・ゲートアレイ11の実装された環境要因に応じて、複数のプログラムPR1, PR2の中から1つを選択してプログラマブル・ゲートアレイ11にローディングする。

本発明に係るプログラマブル・ゲートアレイ装置の構成を示すブロック図

1 プログラマブル・ゲートアレイ装置





## 【特許請求の範囲】

【請求項1】プログラマブル・ゲートアレイと、前記プログラマブル・ゲートアレイに論理及び入出力特性を設定するためのプログラムを格納した不揮発性のメモリとを備えたプログラマブル・ゲートアレイ装置におけるプログラマブル・ゲートアレイのコンフィグレーション方法であって、

前記メモリに、異なる入出力特性を設定するための複数のプログラムを格納しておき、プログラマブル・ゲートアレイの実装された環境要因に応じて、前記複数のプログラムの中から1つを選択して前記プログラマブル・ゲートアレイにローディングする、

ことを特徴とするプログラマブル・ゲートアレイのコンフィグレーション方法。

【請求項2】プログラマブル・ゲートアレイと、前記プログラマブル・ゲートアレイに論理及び入出力特性を設定するためのプログラムを格納した不揮発性のメモリとを備えたプログラマブル・ゲートアレイ装置であって、前記メモリには、異なる入出力特性を設定するための複数のプログラムが格納され、

前記プログラマブル・ゲートアレイの実装された環境要因に応じて前記複数のプログラムの中から1つを選択するための選択信号を出力する選択手段が備えられ、コンフィグレーションの実行時に、前記選択信号に応じて選択されたプログラムが前記プログラマブル・ゲートアレイにローディングされるよう構成されてなる、ことを特徴とするプログラマブル・ゲートアレイ装置。

【請求項3】前記選択手段は、前記環境要因として当該プログラマブル・ゲートアレイに供給される電圧を検出する電圧検出手段を備え、検出した電圧に応じて選択信号を出力する請求項2記載のプログラマブル・ゲートアレイ装置。

【請求項4】前記選択手段は、前記環境要因として温度を検出する温度検出手段を備え、検出した温度に応じて選択信号を出力する請求項2又は請求項3記載のプログラマブル・ゲートアレイ装置。

【請求項5】前記選択手段は、プロセッサからの選択指令信号をラッチするための不揮発性のラッチ手段を備え、前記ラッチ手段が前記選択指令信号に応じた選択信号を出力する請求項2乃至請求項4のいずれかに記載のプログラマブル・ゲートアレイ装置。

【請求項6】前記選択手段は、前記環境要因として当該プログラマブル・ゲートアレイに供給される電圧を検出する電圧検出手段と、前記環境要因として温度を検出する温度検出手段と、プロセッサからの選択指令信号をラッチするための不揮発性のラッチ手段と、検出された電圧及び温度並びに前記選択指令信号に少なくとも基づいて選択信号を出力する判断手段とを備えてなる請求項2記載のプログラマブル・ゲートアレイ装置。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、プログラムによって論理及び入出力特性を設定することのできるプログラマブル・ゲートアレイのコンフィグレーション方法及びプログラマブル・ゲートアレイ装置に関する。

【0002】近年において、プログラマブル・ゲートアレイは、コンピュータ、又はプリンタ装置などの周辺機器に多く用いられてきている。プログラマブル・ゲートアレイを用いることによって、装置の性能の一層の向上とともに、回路の安定性と信頼性のさらなる向上が期待されている。

## 【0003】

【従来の技術】図4は従来のプログラマブル・ゲートアレイ装置80の構成を示すブロック図である。

【0004】図4において、プログラマブル・ゲートアレイ装置80は、プログラマブル・ゲートアレイ（以下「FPGA」という）81、PROM（プログラマブル・リード・オンリー・メモリ）82、及びコンフィグ指令回路83などから構成される。

【0005】PROM82には、FPGA81に論理及び入出力特性を設定するためのプログラムが格納されている。FPGA81の入出力特性は、FPGA81に設定される論理回路の入力及び出力の各ピンに対して設定可能である。入出力特性として、入力のスレッシュホルドレベル値、出力の遅延時間、立ち上がり及び立ち下がり特性がある。コンフィグ指令回路83は、プログラマブル・ゲートアレイ装置80に電源が投入されたことを検出してコンフィグ指令信号S11をFPGA81に出力する。FPGA81にコンフィグ指令信号S11が入力されると、PROM82に格納されたプログラムがFPGA81にローディングされ、これによってコンフィグレーションが行われる。

## 【0006】

【発明が解決しようとする課題】従来のプログラマブル・ゲートアレイ装置80では、FPGA81に論理及び入出力特性を設定するためのプログラムが1種類のみである。つまり、PROM82には1種類のプログラムのみが格納されており、コンフィグレーションの実行時ににおいてその唯一のプログラムがFPGA81にローディングされる。

【0007】したがって、プログラマブル・ゲートアレイ装置80の論理回路及びその入出力特性は、PROM82に予め格納されたプログラムによって、電源の投入時に固定的に設定される。

【0008】しかし、FPGA81及びその周辺回路の入出力特性は、その環境要因によって変動する。例えば、電源電圧が標準値よりも低下した場合には、入力のスレッシュホルドレベル値が低下する傾向にある。また、例えば電源電圧が標準値よりも増大した場合には、出力の立ち上がり時におけるオーバーシュートが増大す

る傾向にある。

【0009】通常、電源電圧の許容変動範囲内におけるこれらの特性の変化を見込んでプログラマブル・ゲートアレイ装置80及びその周辺回路が設計されているため、通常の動作には問題がない。しかし、種々の環境要因が重なった場合に、それらによる入出力特性の変化が複雑に影響し合うので、回路が安定に動作するための余裕が少なくなることは否めない。

【0010】本発明は、上述の問題に鑑みてなされたもので、プログラマブル・ゲートアレイ装置における動作の安定性の向上を図り、信頼性の一層の向上を図ることのできるコンフィグレーション方法及びプログラマブル・ゲートアレイ装置を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1の発明に係る方法は、図1に示すように、プログラマブル・ゲートアレイ11と、前記プログラマブル・ゲートアレイ11に論理及び入出力特性を設定するためのプログラムを格納した不揮発性のメモリ12とを備えたプログラマブル・ゲートアレイ装置1におけるプログラマブル・ゲートアレイのコンフィグレーション方法であって、前記メモリ12に、異なる入出力特性を設定するための複数のプログラムPR1、PR2を格納しておき、プログラマブル・ゲートアレイ11の実装された環境要因に応じて、前記複数のプログラムPR1、PR2の中から1つを選択して前記プログラマブル・ゲートアレイ11にローディングする。

【0012】請求項2の発明に係る装置は、プログラマブル・ゲートアレイと、前記プログラマブル・ゲートアレイに論理及び入出力特性を設定するためのプログラムを格納した不揮発性のメモリとを備えたプログラマブル・ゲートアレイ装置であって、前記メモリには、異なる入出力特性を設定するための複数のプログラムが格納され、前記プログラマブル・ゲートアレイの実装された環境要因に応じて前記複数のプログラムの中から1つを選択するための選択信号を出力する選択手段が備えられ、コンフィグレーションの実行時に、前記選択信号に応じて選択されたプログラムが前記プログラマブル・ゲートアレイにローディングされるよう構成されてなる。

【0013】請求項3の発明に係る装置では、前記選択手段は、前記環境要因として当該プログラマブル・ゲートアレイに供給される電圧を検出する電圧検出手段を備え、検出した電圧に応じて選択信号を出力する。

【0014】請求項4の発明に係る装置では、前記選択手段は、前記環境要因として温度を検出する温度検出手段を備え、検出した温度に応じて選択信号を出力する。請求項5の発明に係る装置では、前記選択手段は、プロセッサからの選択指令信号をラッチするための不揮発性のラッチ手段を備え、前記ラッチ手段が前記選択指令信号に応じた選択信号を出力する。

【0015】請求項6の発明に係る装置では、前記選択手段は、前記環境要因として当該プログラマブル・ゲートアレイに供給される電圧を検出する電圧検出手段と、前記環境要因として温度を検出する温度検出手段と、プロセッサからの選択指令信号をラッチするための不揮発性のラッチ手段と、検出された電圧及び温度並びに前記選択指令信号に少なくとも基づいて選択信号を出力する判断手段とを備えてなる。

【0016】プログラマブル・ゲートアレイには、FPGA（フィールド・プログラマブル・ゲートアレイ）、PGA、CPLDなどの種々の呼称のものが含まれる。不揮発性のメモリとして、PROM、EPROM、フラッシュメモリ、電池でバックアップされたRAMなどの半導体メモリ素子、又は磁気ディスク装置などが用いられる。1つのメモリ素子に領域を変えて複数のプログラムを格納してもよく、又はそれぞれ1つのプログラムを格納した複数のメモリ素子を用いてもよい。

【0017】選択手段は、メモリから同時に読み出された複数のプログラム（データを含む）を切り換えてプログラマブル・ゲートアレイに出力してもよく、又は、複数の素子のいずれかをイネーブルとするように切り換えてもよく、又は、1つ又は複数の素子に格納されたプログラムのうちの1つのプログラムを、メモリのアドレスを切り換えることによって出力するようにしてもよい。プログラマブル・ゲートアレイにプログラムをローディングするには、メモリから直接的に、又はプロセッサなどを介して間接的に行うことができる。

【0018】

【発明の実施の形態】図1は本発明に係るプログラマブル・ゲートアレイ装置1の構成を示すブロック図である。

【0019】図1において、プログラマブル・ゲートアレイ装置1は、FPGA11、メモリ12、コンフィグ指令回路13、及び選択部14から構成される。メモリ12は2つのPROM12a、12bからなる。選択部14は、マルチプレクサ21及び選択指示部22からなる。

【0020】2つのPROM12a、12bには、2種類のプログラムPR1、PR2が格納されている。各プログラムPR1、PR2は、FPGA11の論理回路を決定するためのプログラムPR1r、PR2r、及び入出力特性を決定するためのプログラムPR1c、PR2cから構成される。通常、論理回路を決定するためのプログラムPR1r、PR2rは互いに同一である。入出力特性を決定するためのプログラムPR1c、PR2cは、その一部又は全部が互いに異なる。FPGA11の入出力特性は、FPGA11に設定される論理回路の入力及び出力の各ピンに対して設定可能である。

【0021】すなわち、FPGA11は、例えば160pin程度のピン数を有したLSIであり、そのうちの

例えば120pin程度が入出力用のピンである。これらの入出力用のピンについて、プログラムPR1r、PR2rによって、入出力の別及びそれらの間の配置及び配線を含む論理が決定され、プログラムPR1c、PR2cによって各ピンの入出力特性（AC特性、DC特性）が決定される。入出力特性として、入力のスレッシュホルドレベル値、出力の遅延時間、立ち上がり及び立ち下がり特性、出力のドライブ能力、C-MOSレベル又はTTLレベルのいずれかなどを選択することができる。

【0022】コンフィグ指令回路13は、プログラマブル・ゲートアレイ装置1に電源が投入されたことを検出してコンフィグ指令信号S1をFPGA11に出力する。FPGA11にコンフィグ指令信号S1が入力されると、PROM12a、12bに格納されたプログラムPR1、PR2がクロック信号S8に同期して読み出され、選択部14によって選択されたいずれかのプログラムがFPGA11にローディングされ、これによってコンフィグレーションが行われる。

【0023】なお、メモリ12からFPGA11へのプログラム（データを含む）のローディングは、シリアル又はパラレルのいずれで行うことも可能である。FPGA11は、ローディングされたプログラムを保持するが、電源の供給が停止されると消去されるもの又は電源の供給が停止されても保持可能なもののいずれであってもよい。

【0024】さて、選択部14は、FPGA11の実装された環境要因に応じて、2つのプログラムPR1、PR2のうちのいずれか1つを選択する。選択指示部22は、例えば、環境要因としてFPGA11に供給される電圧、FPGA11の周辺の温度、及びFPGA11の負荷としてスロットに装着される基板の枚数、基板に実装されている素子の種類などを検出する。また、選択指示部22は、プロセッサからの選択指令信号をラッチするための不揮発性のラッチメモリとすることもできる。これらいずれかの検出値又は選択指令信号により選択信号S2が出力され、又はこれら複数の検出値又は選択指令信号の演算によって選択信号S2が出力される。マルチプレクサ21は、選択信号S2に基づいて、PROM12a、12bのいずれかを選択してその出力をFPGA11に送る。

【0025】図2は他の実施形態のプログラマブル・ゲートアレイ装置1Bの構成を示すブロック図、図3は温度検出センサSEの取り付け位置の例を示す図である。図2において、図1の要素と同一の機能を有する要素には同一の符号を付して説明を省略し又は簡略化する。

【0026】図2において、選択部14Bには、電圧検出部23、温度検出部24、ラッチメモリ25、及び判断部26を備える。電圧検出部23は、FPGA11に供給される電圧Vsが基準値Vrefよりも高いか低

いかを検出する。電圧Vsが基準値Vrefよりも高い場合には、FPGA11における出力の立ち上がり（又は立ち下がり）の角度が緩くなるプログラムを選択するように、その逆に電圧Vsが基準値Vrefよりも低い場合には、出力の立ち上がりの角度が急峻になるプログラムを選択するように、検出信号S3を出力する。

【0027】例えば電源電圧がTTLレベルであれば、基準値Vrefを5ボルトとし、電圧Vsが5ボルトより大きい場合には、FPGA11の入出力特性の立ち上がりの角度を緩やかにし、これによってFPGA11の出力の立ち上がり時におけるオーバーシュートを抑える。この逆に、電圧Vsが5ボルトより小さい場合には、立ち上がり時におけるオーバーシュートは少ないので、立ち上がりの角度を急峻にして特性の改善を図る。

【0028】また、電圧Vsが基準値Vrefよりも高い場合には、FPGA11における入力のスレッシュホルドレベル値を高くし、電圧Vsが基準値Vrefよりも低い場合には、スレッシュホルドレベル値を低くするように、検出信号S3を出力する。

【0029】温度検出部24は、FPGA11の周辺の温度を検出する。図3に示すように、プロセッサ31、メモリ12、及びFPGA11などが実装されたプリント基板PC1において、それぞれの近傍に、温度検出センサSE1、2、3が取り付けられている。温度検出部24は、温度検出センサSE1、2、3により検出された温度TS1、2、3の平均値TS0を求め、平均値TS0が基準値Trefよりも高い場合には、FPGA11における出力の立ち上がり（又は立ち下がり）の角度が急峻になるプログラムを選択するように、その逆に平均値TS0が基準値Trefよりも低い場合には、出力の立ち上がりの角度が緩くなるプログラムを選択するように、検出信号S4を出力する。つまり、FPGA11の出力の立ち上がりは、温度が低くなるほど急峻になる傾向にあるので、検出された温度に基づいてこれを修正するような出力特性を設定するのである。

【0030】ラッチメモリ25は、プロセッサ31からデータバスDBを介して送られる選択指令信号をラッチし、ラッチした選択指令信号S5を出力する。プロセッサ31は、プリント基板PC1の環境の現在及び過去の状況を認識しているので、それに応じて最適の入出力特性を選択することが可能である。例えば、プロセッサ31は、プログラムPR1、PR2のうちのいずれを次のコンフィギュレーションに使用するかを決定し、ラッチメモリ25に記憶させておく。ラッチメモリ25は、次のコンフィギュレーションの実行時に、記憶した内容を選択指令信号S5として出力する。

【0031】判断部26は、入力された検出信号S3、S4、及び選択指令信号S5に基づいて、選択信号S2を出力する。どのようにして選択信号S2を決定するかについては、種々の決定方法が考えられる。

【0032】例えば、入出力特性の通常値を通常環境に対応して設計時に予め決めておき、通常環境から異なった場合に、それによる検出信号S3、S4、又は選択指令信号S5が出力されたときに、その検出信号S3、S4、又は選択指令信号S5を優先して選択信号S2とする。通常、プロセッサ31は装置又はシステムの全体の状況を把握しているので、選択指令信号S5を最優先することが好ましいかも知れない。また、設計時において、それらの優先順位を決定しておくこともよい。それらの組み合わせに応じて選択信号S2を決定することでもよい。

【0033】また、図示は省略したが、FPGA11の負荷としてスロットに装着される基板の存否を検出する基板検出センサを設け、スロットに装着される基板の枚数が多くなった場合に、FPGA11の出力のドライブ能力を増大するように検出信号又は選択信号S2を出力してもよい。さらに、スロットに装着される基板に用いられている素子の種類に応じて、C-MOSレベル又はTTLレベルのいずれかを選択する検出信号又は選択信号S2を出力してもよい。

【0034】上述の実施形態のプログラマブル・ゲートアレイ装置1、1Bによると、環境要因に応じて最適の入出力特性を自動的に選択するので、FPGA11及びその周辺の素子の動作における余裕をできる限り多く確保することができ、動作の安定性の向上と信頼性の一層の向上を図ることができる。

【0035】上述の実施形態において、選択部14、14Bの構成として、電圧検出部23、温度検出部24、ラッチメモリ25、その他の種々の回路を適宜組み合わせることができ、またそれらの検出信号又は選択指令信号などを種々組み合わせて選択信号S2とすることができる。メモリ12に格納するプログラムPRの種類を3種類以上とし、それらのうちのいずれかを選択信号S2によって選択することも可能である。その場合に、電圧Vs、温度TS1～3、平均値TS0などをより詳細に判断し、それらの環境要因に応じて入出力特性をきめ細かく選択することが可能である。

【0036】上述の実施形態においては、電源の投入時にコンフィグ指令回路13がコンフィグ指令信号S1を出力し、これによってコンフィグレーションを実行するが、プログラマブル・ゲートアレイ装置1、1Bに電源が供給されている動作時において、環境要因が変動したときに、プロセッサ31が強制的に改めてコンフィグレーションを実行させるようにしてもよい。また、コンフィグレーションの実行に当たって、メモリ12に格納されたプログラムPR1、PR2がFPGA11に直接にローディングされるように説明したが、プロセッサ31又は他のプロセッサを介してローディングするようにし

てもよい。

【0037】上述の実施形態においては、2つのPROM12a、12bにそれぞれプログラムPR1、PR2を格納したが、1つのPROMにそれら複数のプログラムを格納し、それらを選択して読み出すようにしてもよい。その他、プログラマブル・ゲートアレイ装置1、1Bの全体又は各部の構成、処理の内容又は順序、動作タイミングなどは、本発明の主旨に沿って適宜変更することができる。

【0038】

【発明の効果】本発明によると、プログラマブル・ゲートアレイ装置における動作の安定性の向上を図り、信頼性の一層の向上を図ることができる。

【0039】請求項3の発明によると、プログラマブル・ゲートアレイに供給される電圧の変動に基づく入出力特性の変動を補正し、プログラマブル・ゲートアレイ及びその周辺の素子の動作における余裕をできる限り多く確保することができる。

【0040】請求項4の発明によると、プログラマブル・ゲートアレイの周辺の温度の変動に基づく入出力特性の変動を補正することができる。請求項5及び請求項6の発明によると、装置の環境要因を総合的に判断して最適の入出力特性を選択することができる。

【図面の簡単な説明】

【図1】本発明に係るプログラマブル・ゲートアレイ装置の構成を示すブロック図である。

【図2】他の実施形態のプログラマブル・ゲートアレイ装置の構成を示すブロック図である。

【図3】温度検出センサの取り付け位置の例を示す図である。

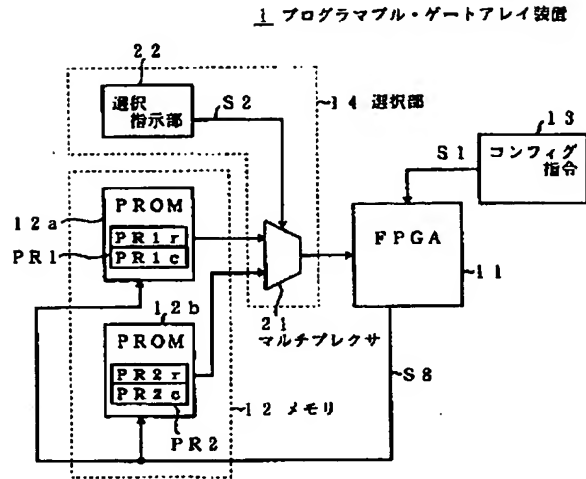
【図4】従来のプログラマブル・ゲートアレイ装置の構成を示すブロック図である。

【符号の説明】

- 1、1B プログラマブル・ゲートアレイ装置
- 11 FPGA（プログラマブル・ゲートアレイ）
- 12 メモリ
- 12a、12b PROM（メモリ）
- 13 コンフィグ指令回路
- 14 選択部（選択手段）
- 21 マルチプレクサ
- 22 選択指示部（選択指示手段、選択手段）
- 23 電圧検出部（電圧検出手段）
- 24 温度検出部（温度検出手段）
- 25 ラッチメモリ（ラッチ手段）
- 26 判断部（判断手段、選択手段）
- 31 プロセッサ
- S2 選択信号
- PR1、PR2 プログラム

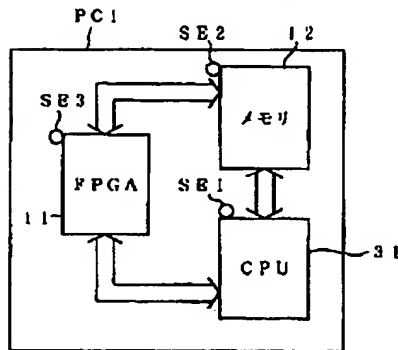
【図1】

本発明に係るプログラマブル・ゲートアレイ装置の構成を示すブロック図



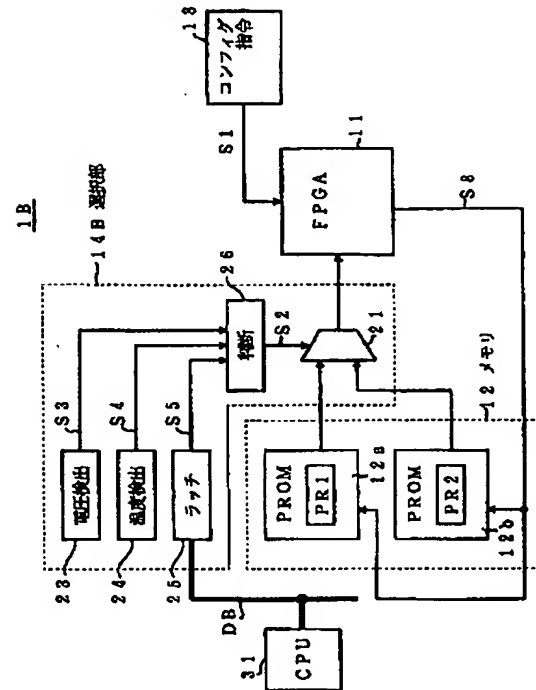
【図3】

温度検出センサの取り付け位置の例を示す図



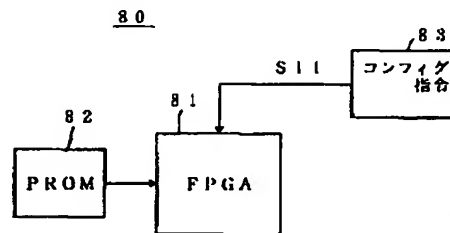
【図2】

他の実施形態のプログラマブル・ゲートアレイ装置の構成を示すブロック図



【図4】

従来のプログラマブル・ゲートアレイ装置の構成を示すブロック図



フロントページの続き

(72) 発明者 岩崎 安博  
兵庫県加東郡社町佐保35番 (番地なし)  
富士通周辺機株式会社内

(72) 発明者 長塚 博文  
兵庫県加東郡社町佐保35番 (番地なし)  
富士通周辺機株式会社内  
(72) 発明者 大亀 伸一  
兵庫県加東郡社町佐保35番 (番地なし)  
富士通周辺機株式会社内